

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-60685

(P2001-60685A)

(43) 公開日 平成13年3月6日(2001.3.6)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 2 J

21/336

6 5 2 C

6 5 2 N

6 5 8 A

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願平11-233405

(22) 出願日

平成11年8月20日(1999.8.20)

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 中村 秀幸

埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

(74) 代理人 100102875

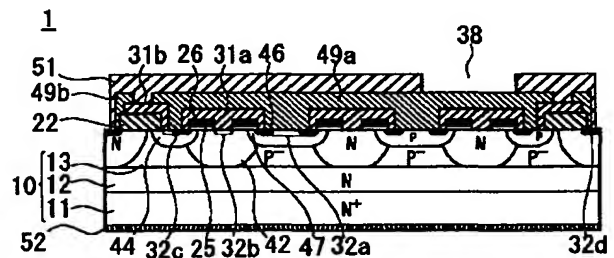
弁理士 石島 茂男 (外1名)

(54) 【発明の名称】 高耐圧トランジスタ

(57) 【要約】

【課題】 高耐圧で導通抵抗の低いトランジスタを提供する。

【解決手段】 第1の導電型のドレイン層12上に第2の導電型の耐圧層13を形成し、耐圧層13内に、耐圧層13表面からの拡散によって、部分的に第1の導電型の導電領域42を形成する。導電領域42の底部はドレイン層12と接触するようにしておく。このような半導体基板10の表面側にベース領域44とソース領域46とを形成し、ソース領域46と導電領域42との間をチャネル領域47とし、トランジスタ1を構成させる。このトランジスタ1では、チャネル領域47上のゲート電極膜26に電圧を印加し、反転層が形成されると、ソース領域46とドレイン層12とが反転層及び導電領域42を介して接続される。



1

【特許請求の範囲】

【請求項1】第1の導電型のドレイン層と、前記ドレイン層上に配置された第2の導電型の耐圧層とを有する半導体基板と、

前記半導体基板の前記耐圧層側から部分的に拡散された不純物によって形成され、底部が前記第1の導電型のドレイン層に接続された第1の導電型の導電領域と、
前記半導体基板の耐圧層側から部分的に拡散された不純物によって形成された第2の導電型のベース領域と、
前記ベース領域内に形成された第1の導電型のソース領域と、

前記ソース領域と前記導電領域との間に位置する前記ベース領域の表面をチャネル領域としたときに、少なくとも該チャネル領域表面に配置されたゲート酸化膜と、
前記ゲート酸化膜上に配置されたゲート電極膜と、
前記ソース領域と前記ベース領域に電氣的に接続されたソース電極と、
前記ドレイン層に電氣的に接続されたドレイン電極とを有するトランジスタ。

【請求項2】前記導電領域は、表面を該導電領域とは反対の導電型の領域で囲まれた部分を有する請求項1記載のトランジスタ。

【請求項3】前記ベース領域は、前記耐圧層内に形成された部分と、前記導電領域内に形成された部分とが接続されている請求項1乃至請求項2のいずれか1項記載のトランジスタ。

【請求項4】前記ベース領域の前記導電領域内に形成された部分が前記チャネル領域にされた請求項3記載のトランジスタ。

【請求項5】前記ソース領域は、前記導電領域内に形成された前記ベース領域内と、前記耐圧領域内に形成された前記ベース領域内との間に亘って配置された請求項3又は請求項4のいずれか1項記載のトランジスタ。

【請求項6】前記ベース領域の表面濃度は、前記耐圧層の表面濃度よりも高い請求項1乃至請求項5のいずれか1項記載のトランジスタ。

【請求項7】前記導電領域の表面濃度は、前記耐圧層の表面濃度よりも高い請求項1乃至請求項6のいずれか1項記載のトランジスタ。

【請求項8】前記ベース領域の表面の表面濃度は前記導電領域よりも高い請求項7記載のトランジスタ。

【請求項9】前記半導体基板の前記耐圧層と反対側には、前記ドレイン層よりも高濃度の第1の導電型の低抵抗層が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタ。

【請求項10】前記半導体基板の前記耐圧層とは反対側には、第2の導電型のコレクタ層が配置された請求項1乃至請求項8のいずれか1項記載のトランジスタ。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明は、MOSFETやIGBT等の電界効果トランジスタの技術分野に関する。

【0002】

【従来の技術】従来のMOSFETを図面を用いて説明する。図38を参照し、符号101は文献に記載されている従来型のMOSFETの一例であり、シリコン単結晶から成り、N+型の不純物が高濃度にドーピングされたドレイン層105と、該ドレイン層105上にエピタキシャル成長によって形成されたN型の導電層106とを有している。導電層106内には、表面からP型の不純物が拡散され、ベース領域112が形成されている。

【0003】ベース領域112内には、その表面からN型の不純物が拡散され、リング状のソース領域114が形成されている。符号115で示した領域は、ベース領域112の端部とソース領域114の外周部分の間の部分であり、チャネル領域と呼ばれている。

【0004】ベース領域112とソース領域114とチャネル領域115とで、1つのセル117が形成されている。MOSFET101は、多数のセル117を有しており、各セル117が格子状に規則正しく配置されている。

【0005】図39に、MOSFET101のセル117の配置状態を示す。各セル117のチャネル領域115上と、セル117間の導電層106表面上にはゲート酸化膜121が形成されており、ゲート酸化膜121上にはゲート電極膜131が配置されている。

【0006】ソース領域114の内側には、ベース領域112表面が露出しており、ソース領域114表面とベース領域112の表面には、ソース電極膜132が形成されており、ソース領域114とベース領域112とは、共にソース電極膜132に接続されている。ゲート電極膜131上には層間絶縁膜122が配置されており、各セル117上に形成されたソース電極膜132は、層間絶縁膜122上に形成されたソース電極膜132によって互いに接続されている。従って、ソース電極132とゲート電極膜131とは互いに絶縁されている。

【0007】ソース電極132を形成する金属薄膜の一部分は、ソース電極132とは絶縁した状態でゲート電極膜131にも接続されている。

【0008】符号135は保護膜であり、該保護膜135及び層間絶縁膜122はパターニングされ、MOSFET101上には、ソース電極132が部分的に露出しており、また、ゲート電極膜131に接続された金属膜も部分的に露出している。

【0009】また、ドレイン層105表面にはドレイン電極133が形成されており、このドレイン電極133と、ソース電極132の露出部分と、ゲート電極膜131に接続された金属膜の露出部分とが、外部端子にそれぞれ接続され、外部端子を電気回路に接続することで、

50

3

このMOSFETを動作させるように構成されている。

【0010】このMOSFET101を使用する場合、ソース電極132を接地電位に置き、ドレイン電極133に正電圧を印加した状態でゲート電極膜131にスレッシュホールド以上のゲート電圧(正電圧)を印加すると、P型のチャネル領域115表面にN型の反転層が形成され、ソース領域114と導電領域111とが反転層によって接続され、ドレイン電極133からソース電極132に電流が流れる。

【0011】その状態からゲート電極膜131にスレッシュホールド電圧以下の電圧(例えば接地電位)を印加すると、反転層は消滅し、ベース領域112と導電領域111とは逆バイアス状態になるので、ドレイン電極113とソース電極132の間には電流は流れないようになる。

【0012】上記のようなMOSFET101は、ゲート電極膜131に印加する電圧を制御することで、ドレイン電極133とソース電極132との間を導通させたり遮断させたりできるので、高速なスイッチとして、電源回路やモータ制御回路等の電力を扱う電気回路に広く使用されている。

【0013】上記のようなMOSFET101では、遮断状態にあるときに、ドレイン電極133とソース電極132の間に大きな電圧が印加される場合がある。

【0014】MOSFET101が遮断状態にある間は、チャネル領域115を含むベース領域112と導電領域111との間が逆バイアスされるから、その部分のPN接合の耐圧でMOSFET101の耐圧は決定されることになる。

【0015】PN接合の形状は、濃度の高い方の拡散層の形状に注目し、プレーナ接合、円筒接合、球状接合の三種類に大別でき、プレーナ接合の耐圧が最も高く、球状接合の耐圧が最も低いことが知られている。

【0016】上記のようなセル117が多数個配置されたMOSFETは、セル117の底面ではプレーナ接合が形成されるが、セル117が四角形等の多角形のため、辺部分では円筒接合が形成され、頂点部分では球状接合が必ず形成されてしまい、各セル117の頂点部分の耐圧で全体の耐圧が決定できてしまっていた。

【0017】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、高耐圧のトランジスタを提供することにある。また、本発明の他の目的は導通抵抗が低いトランジスタを提供することにある。

【0018】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、第1の導電型のドレイン層と、前記ドレイン層上に配置された第2の導電型の耐圧層とを有する半導体基板と、前記半導体基板の前記耐圧

4

層側から部分的に拡散された不純物によって形成され、底部が前記第1の導電型のドレイン層に接続された第1の導電型の導電領域と、前記半導体基板の耐圧層側から部分的に拡散された不純物によって形成された第2の導電型のベース領域と、前記ベース領域内に形成された第1の導電型のソース領域と、前記ソース領域と前記導電領域との間に位置する前記ベース領域の表面をチャネル領域としたときに、少なくとも該チャネル領域表面に配置されたゲート酸化膜と、前記ゲート酸化膜上に配置されたゲート電極膜と、前記ソース領域と前記ベース領域に電気的に接続されたソース電極と、前記ドレイン層に電気的に接続されたドレイン電極とを有するトランジスタである。請求項2記載の発明は、請求項1記載のトランジスタであって、前記導電領域の表面は、該導電領域とは反対の導電型の領域で囲まれたトランジスタである。この場合、リング状の導電領域を形成し、その内側に矩形形状の導電領域を配置すると、矩形形状の導電領域の表面の周囲を耐圧層で囲んでおくことができる。請求項3記載の発明は、請求項1乃至請求項2のいずれか1項記載のトランジスタであって、前記ベース領域は、前記耐圧層内に形成された部分と、前記導電領域内に形成された部分とが接続されているトランジスタである。請求項4記載の発明は、請求項3記載のトランジスタであって、前記ベース領域の前記導電領域内に形成された部分が前記チャネル領域にされたトランジスタである。請求項5記載の発明は、請求項3又は請求項4のいずれか1項記載のトランジスタであって、前記ソース領域は、前記導電領域内に形成された前記ベース領域内と、前記耐圧領域内に形成された前記ベース領域内との間に亘って配置されたトランジスタである。請求項6記載の発明は、請求項1乃至請求項5のいずれか1項記載のトランジスタであって、前記ベース領域の表面濃度は、前記耐圧層の表面濃度よりも高いトランジスタである。請求項7記載の発明は、請求項1乃至請求項6のいずれか1項記載のトランジスタであって、前記導電領域の表面濃度は、前記耐圧層の表面濃度よりも高いトランジスタである。請求項8記載の発明は、請求項7記載のトランジスタであって、前記ベース領域の表面の表面濃度は前記導電領域よりも高いトランジスタである。請求項9記載の発明は、請求項1乃至請求項8のいずれか1項記載のトランジスタであって、前記半導体基板の前記耐圧層とは反対側には、第2の導電型のコレクタ層が配置されたトランジスタである。

【0019】本発明は上記のように構成されており、従来技術とは異なり、第2の導電型の耐圧層内に第1の導電型の不純物を、窓明けしたシリコン酸化膜等を用いて

5

部分的に拡散させ、第2の導電型の耐圧層内の所望位置に第1の導電型の導電領域を形成するようになっている。

【0020】また、2の導電型の耐圧層上に、窓開けした酸化膜等をマスクとする不純物の注入と拡散により、同じ導電型のベース領域を部分的に形成しており、そのベース領域の周辺部分にソース領域を形成すると、ベース領域の外周端部とソース領域の間でチャンネル領域を形成するようになっている。ベース領域の外周部分は導電領域内に侵入するようにしてもよいし、導電領域とは離間するようにしてもよい。

【0021】ベース領域の底面は、同じ導電型の耐圧層に接続されており、耐圧層は、逆の導電型(第1の導電型)のドレイン層及び導電領域で形成される領域内に突出する突部が形成されている。従って、低濃度の耐圧層内に空乏層が広がりやすく、高耐圧になっている。

【0022】また、導電領域内にはベース領域がはみ出して形成されているが、導電領域よりもベース領域の濃度の方が高いので、導電領域内のベース領域の平面形状に頂点となるような突出部分を設けなければ、球状接合が形成されず、耐圧が高くなる。

【0023】導電領域は拡散によって形成しているが、前記球状接合が存在しない場合、導電領域の濃度を高くしても耐圧が比較的低下せず、従って、低抵抗のトランジスタを得ることができる。

【0024】図34は、本発明のトランジスタにおいて、拡散構造を変えずに導電領域の表面濃度を变化させた場合のドレイン・ソース間の耐圧を示すグラフであり、図35は、耐圧を変えた場合の単位面積当たりの導通抵抗を示すグラフである。

【0025】従来技術では、耐圧を高くすると導通抵抗が非常に大きくなるが、本発明のトランジスタでは、導通抵抗を小さくできることが分かる。

【0026】

【発明の実施の形態】本発明を図面を用いて説明する。図1を参照し、符号10は、本発明に用いられる半導体基板であり、N⁺型基板11と、該N⁺型基板11上に配置されたドレイン層12と、該ドレイン層12上に配置された耐圧層13とを有している。

【0027】N⁺型基板11と、ドレイン層12と、耐圧層13とは、シリコン単結晶で構成されており、N⁺型基板11には、N型不純物が添加され、導電型がN型にされている。ドレイン層12と、耐圧層13とは、それぞれエピタキシャル法によってN⁺基板11上にこの順序で形成されており、ドレイン層12にはエピタキシャル成長の際にN型不純物が添加され、導電型がN型にされており、他方、耐圧層13には、エピタキシャル成長の際にP型の不純物が添加され、導電型がP型にされている。

【0028】N⁺型基板11の濃度は $1 \times 10^{18} \sim 1 \times$

6

10^{19} 原子/cm³であり、ドレイン層12の濃度は $4 \times 10^{13} \sim 4 \times 10^{15}$ 原子/cm³であり厚さは5 μ m \sim 200 μ m程度である。耐圧層13の濃度は $3 \times 10^{13} \sim 3 \times 10^{15}$ 原子/cm³であり厚さは3 μ m \sim 15 μ mのものが適している。耐圧層13にはドレイン層12よりも低濃度のものが用いられる。

【0029】この半導体基板10を熱酸化し、耐圧層13表面に厚さ1.0 μ m程度のシリコン酸化膜から成る一次酸化膜21を形成する(図2)。この図2及び後述する各図面では、裏面に形成される酸化膜は省略する。

【0030】次いで、フォトリソグラフ工程とエッチング工程によって一次酸化膜21をパターンニングする。

【0031】図3の符号22は、パターンニングされた一次酸化膜21を示している。この状態の半導体基板10の平面図を図22に示す。パターンニングされた一次酸化膜22の中央部分と外周部分に耐圧層13表面が露出している。図3は、図22のA-A線截断面図に相当する。図3、図22の符号15は、パターンニングされた一次酸化膜22の中央部分を示している。

【0032】次に、半導体基板10を熱酸化し、一次酸化膜21よりも薄いゲート酸化膜23を耐圧層13表面に形成する(図4)

次いで、ポリシリコン薄膜から成るゲート電極膜24をゲート酸化膜23表面に全面成膜し(図5)、フォトリソグラフ工程とエッチング工程により、ゲート電極膜24とゲート酸化膜23とをパターンニングする。

【0033】図6の符号25、26は、パターンニングされたゲート酸化膜23とゲート電極膜24とをそれぞれ示しており、パターンニングされたゲート電極膜24は、パターンニングされたゲート酸化膜23上に配置されている。

【0034】この状態の半導体基板10の平面図を図23に示す。図6は、図23のB-B線截断面図に相当する。

【0035】パターンニングされたゲート酸化膜23及びゲート電極膜24により、一次酸化膜22の中央部分15は、後述するチャンネル領域が形成される能動部分32aと、N型の導電領域が形成される部分である拡散部分32bとに分割される。

【0036】能動部分32aと拡散部分32bには耐圧層13が露出している。能動部分32aと拡散部分32bは、ゲート酸化膜23及びゲート電極膜24によって囲まれており、どちらも幅狭い長方形にされている。能動部分32aの幅は、一例として12.0 μ mであり、拡散部分32bの幅は、一例として6.0 μ mである。ここでは拡散部分32bの幅よりも、能動部分32aの幅の方が広がっている。

【0037】ゲート酸化膜23及びゲート電極膜24は、一次酸化膜22とは離間して配置されており、その間の位置のリング状の耐圧部分32cにも耐圧層13表

7

面が露出している。また、一次酸化膜22の外周部分と半導体チップの外周部分の間の無効部分32dにも、耐圧領域13表面が露出している。

【0038】次に、図6に示した半導体基板10表面に、フォトリソグラフ工程によってパターンニングしたレジスト膜を形成する。

【0039】図7の符号27は、そのレジスト膜を示している。このレジスト膜は、耐圧領域13表面と能動部分32a表面を覆い、無効部分32dと拡散部分32bとは露出させておく。

【0040】その状態で半導体基板10表面にリンイオンを照射すると、レジスト膜27及びゲート電極膜26とがマスクとなり、拡散部分32b内と無効部分32d内に露出した耐圧層13表面にリンイオンが注入される。図8の符号41は、注入されたリンイオンから成る不純物層を示している。レジスト膜27で覆われた部分には、リンイオンは注入されない。

【0041】その状態の平面図を図24に示す。図8は、図24のC-C線断面図に相当する。

【0042】次に、レジスト膜27を除去し、熱処理によって不純物層41を拡散させると、図9に示すように、耐圧層13内にN型の導電領域42が形成される。このとき、導電領域42の底面部分はドレイン層12に接していてもよいし、後工程の熱処理により、最終的に接するようにしてもよい。

【0043】ここでは導電領域42の表面の端部は、ゲート電極膜26及びゲート酸化膜26の幅以上に横方向拡散し、能動部分32a及び耐圧部分32cにまではみ出るようになっている。この状態の平面図を図25に示す。導電領域42の外周部分は図示していない。

【0044】図9は、図25のD-D線断面図に相当する。無効部分32d内に形成された導電領域42はリング状になっており(第1の導電領域)、その内側に、拡散部分32b内から形成された直線状の導電領域42(第2の導電領域)が配置されている。

【0045】次に、フォトリソグラフ工程により、半導体基板10表面にパターンニングしたレジスト膜を形成する。

【0046】図10の符号28は、そのレジスト膜を示しており、拡散部分32bと無効部分32d上が覆われており、他方、能動部分32aと耐圧部分32c内の耐圧層13表面、及び導電領域42の周辺部分の表面が露出している。この状態の半導体基板10の平面図を、図26に示す。図10は、図26のE-E線断面図に相当する。

【0047】その状態で表面からボロンイオンを照射すると、レジスト膜28とゲート電極膜26と一次酸化膜22とがマスクとなり、能動部分32aと耐圧部分32c内に露出している耐圧層13表面及び導電領域42表面にボロンイオンの不純物層が形成される。図11の符

8

号43は、その不純物層を示している。

【0048】レジスト膜28を除去した後、熱処理し、不純物層43を拡散すると、図12の符号44で示すベース領域が形成される。このベース領域はP型である。

【0049】不純物層43を拡散する際、横方向拡散によってベース領域44の端部はゲート酸化膜25の底面下か、一次酸化膜22の底面下に位置している。従って、この状態では能動部分32aと耐圧部分32c表面はP型になっている。ベース領域44を形成する拡散の際、導電領域42も拡散される。この状態の半導体基板10の平面図を図27に示す。図12は、図27のF-F線断面図に相当する。

【0050】次に、半導体基板10表面にパターンニングしたレジスト膜を形成する。図13の符号29a~29cは、そのレジスト膜を示しており、能動部分32aの中央部分に形成されたレジスト膜29aと、拡散部分32bを覆うレジスト膜29bと、耐圧部分32cの一部と一次酸化膜22上に亘って形成されたレジスト膜29cとで構成されている。

【0051】この状態の半導体基板10の平面図を図28に示す。図13は、図28のG-G線断面図に相当する。能動部分32a上に形成されたレジスト膜29aは、幅狭であり、このレジスト膜29aの長辺とゲート電極膜26の間には、ベース領域44表面が露出しており、レジスト膜29aの両端部分は耐圧部分32c上のレジスト膜29cに接続されている。

【0052】拡散部分32b上のレジスト膜29bは、拡散部分32b内に形成された導電領域42の表面を全部覆っている。また、G-G線断面図では、耐圧部分32c上のレジスト膜29cとゲート電極膜26の間には隙間が設けられており、耐圧部分32cの表面には、ベース領域44が部分的に露出している。

【0053】次に、図14に示すように、この状態の半導体基板10表面上からリンイオンを照射すると、半導体基板10表面のレジスト膜29a~29cやゲート電極膜26で覆われていない部分にリンイオンが注入され、リンを不純物とする不純物層45が形成される。

【0054】レジスト膜29a~29cを除去した後、熱処理を行うと、不純物層45が拡散され、図15の符号46で示すソース領域が形成される。このソース領域46のゲート電極膜26側の端部は、横方向拡散により、ゲート酸化膜25の底面下まで潜り込んでおり、ゲート酸化膜25底面下の、ソース領域46と導電領域42の間のベース領域44の表面がチャネル領域47にされている。

【0055】この半導体基板10では、能動部分32aの中央はベース領域44表面が露出し、その両側に、平行に対向してソース領域46表面が露出している。

【0056】また、拡散部分32bでは、導電領域42表面が露出しており、耐圧部分32cでは、ゲート電極

9

膜26側にソース領域46表面が露出し、一次酸化膜22側ではベース領域44が露出している。

【0057】次に、図16に示すように、半導体基板10表面にシリコン酸化膜から成る層間絶縁膜30を全面成膜し、次いで、フォトリソグラフ工程とエッチング工程によって層間絶縁膜30をパターンニングする。

【0058】図17の符号31a、31bは、パターンニングされた層間絶縁膜30を示しており、能動部分32aの中央と耐圧部分32cのゲート電極膜26側は層間絶縁膜30で覆われておらず、ベース領域44表面とソース領域46表面が露出している。他方、拡散部分32b表面は、層間絶縁膜31aによって覆われている。無効部分32d表面にはレジスト膜は形成されておらず、導電領域42内に形成されたソース領域46表面が露出している。

【0059】この状態の半導体基板10の平面図を図29に示す。図12は図29のH-H線断面図に相当する。図29の符号33は、層間絶縁膜30の窓開部分であり、底部にはゲート電極膜26が露出している。

【0060】次に、図18に示すように、半導体基板10表面に金属薄膜48を全面成膜すると、能動部分32a、耐圧部分32c、及び無効部分32d内に露出するベース領域44又はソース領域46表面が金属薄膜48と接触する。

【0061】その状態でフォトリソグラフ工程とエッチング工程により、金属薄膜48をパターンニングし、図19に示すように、能動部分32a及び耐圧部分32c内のベース領域44及びソース領域46に接続されたソース電極49aと、等電位電極49bに分離される。

【0062】この状態の半導体基板10の平面図を図31に示す。図19は、図30のI-I線断面図に相当する。図31の符号49cは金属薄膜48から成り、ゲート電極膜26に接続された部分であり、ソース電極49a及び等電位電極49bとは分離している。

【0063】次に、図20に示すように、シリコン酸化膜やシリコン窒化膜から成る保護膜50を形成し、フォトリソグラフ工程とエッチング工程によって保護膜50をパターンニングする。

【0064】図21の符号51は、パターンニングされた保護膜50を示しており、窓開けによってソース電極49aが部分的に露出され、ソース電極パッド38が形成されている。最後に、半導体基板10の裏面(N+型基板11の表面)に金属薄膜から成るドレイン電極52を形成すると、本発明の一例のトランジスタ1が得られる。

【0065】この状態の半導体基板10の平面図を図31に示す。符号39は、保護膜51の窓開けによって形成されたゲート電極パッドであり、金属薄膜48のゲート電極膜26に接続された部分49cが露出している。図21は、図31のJ-J線断面図に相当する。

【0066】最終的に得られたトランジスタ1のベース

10

領域44の表面不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{18}$ 個/ cm^3 、ソース領域46の表面不純物濃度は $1 \times 10^{19} \sim 4 \times 10^{20}$ 個/ cm^3 である。導電領域42の表面不純物濃度はベース領域44の表面濃度よりも低く、 $5 \times 10^{14} \sim 1 \times 10^{16}$ 個/ cm^3 である。

【0067】このトランジスタ1を動作させる場合、ソース電極49aを接地電位に置き、ドレイン電極52に正電圧を印加し、ゲート電極膜24にスレッシュホールド電圧以上のゲート電圧を印加するとチャネル領域47の表面に反転層が形成され、反転層を通してドレイン電極52からソース電極49aに向けて電流が流れる。図32(a)の符号61は、トランジスタ1の内部に流れる電流を示している。

【0068】その状態からゲート電極膜24にグラウンド電圧を印加すると、反転層が消滅し、電流は流れなくなる。

【0069】図32(b)はその状態を示しており、N型の導電領域42と、P型の耐圧層13及びベース領域44との間に形成されるPN接合64が逆バイアスされる。

【0070】この場合、P型の耐圧層13の不純物濃度はドレイン層12の不純物濃度と同程度にされているので、PN接合64の両側に空乏層が広がってゆく。

【0071】符号65はP型の不純物領域(ベース領域44内や耐圧層13)内に広がった空乏層を示しており、符号66はN型の不純物領域(導電領域42やドレイン層12)内に広がった空乏層を示している。

【0072】本発明の導電領域42の形状は、表面では広く、深くなるに従って狭くなり、ドレイン層12に達している。従って、低濃度のP型の耐圧層13が、ドレイン層12と導電領域42とで形成されるN型の領域内に突出した状態になっている。図32では、符号67で示す部分が突出している。

【0073】この突出部分67は、極性の異なる導電領域42及びドレイン層12とで挟まれており、突出部分67の位置に形成されるPN接合では、特に突出部分67側に広がりやすくなっている。

【0074】なお、以上のトランジスタ1では、導電領域42を深く拡散させたため、ゲート酸化膜26からはみ出るまで横方向に拡散したが、図33のトランジスタ1'のように、耐圧層13が薄い場合は、導電領域42'を深く拡散させなくてもドレイン層12に接続させることができる。この場合、導電領域42'の端部はゲート酸化膜26の底面に位置する。このようなトランジスタ1'も本発明に含まれる。

【0075】次に、本発明の第二例のトランジスタを説明する。図36の符号2は、N+型基板11に代え、P+型基板11'を用いた半導体基板10aを有するトランジスタである。このトランジスタ2は、上記トランジスタ1と同じ構造のトランジスタ(IGBT)である。P+

11

型基板11'の濃度は $3 \times 10^{18} \sim 2 \times 10^{19}$ 原子/c m^3 である。このように、本発明のトランジスタにはIGBTも含まれる。

【0076】次に、本発明の第三例のトランジスタを説明する。図37の符号3は、N⁺型基板11に代え、P型基板53を用いた半導体基板10bを有するトランジスタである。このトランジスタ3は、半導体基板10bの表面からP型の不純物が拡散され、底部がP型半導体基板53に達しているP型のアイソレーション領域55を有している。

【0077】半導体基板10bには、横型のMOSFET等の他の電気素子が形成されており、トランジスタ3は、アイソレーション領域55によって他の素子とは電氣的に分離されている。導電領域42内に形成されたソース拡散層46には図示しないドレイン電極が接続されている。

【0078】このトランジスタ3のドレイン電極は、ゲート電極膜26とは絶縁した状態で、半導体基板10bのゲート電極膜26が位置する面と同じ面に配置されている。

【0079】即ち、このトランジスタ3は、集積回路を構成する半導体基板10b中に形成することができる。従って、本発明のトランジスタは、集積回路も含むものである。

【0080】なお、以上はN型を第1の導電型とし、P型を第2の導電型とし、P型のチャネル領域表面にN型の反転層を形成したが、P型を第1の導電型とし、N型を第2の導電型にしてもよい。即ち、N型の耐圧層中にP型の導電領域を形成し、更に、N型のベース領域とP型のソース領域を形成し、N型のチャネル領域上にゲート酸化膜とゲート電極膜を配置してもよい。この場合には、反転層の導電型はP型となる。

【0081】また、上記の第2の導電型の耐圧層13は、第1の導電型のドレイン層12表面にエピタキシャル成長法によってシリコン単結晶層を成長させて形成したが、第1の導電型のドレイン層12を厚く形成しておき、その表面から第2の導電型の不純物を拡散させることで、ドレイン層12の表面側に耐圧層13を形成してもよい。

【0082】

【発明の効果】本発明によれば高耐圧のトランジスタを得ることができる。また、導通抵抗が低いトランジスタを得ることができる。

【図面の簡単な説明】

【図1】本発明の一例のトランジスタの製造工程を説明するための断面図(1)

【図2】その続きの断面図(2)

【図3】その続きの断面図(3)

【図4】その続きの断面図(4)

【図5】その続きの断面図(5)

12

【図6】その続きの断面図(6)

【図7】その続きの断面図(7)

【図8】その続きの断面図(8)

【図9】その続きの断面図(9)

【図10】その続きの断面図(10)

【図11】その続きの断面図(11)

【図12】その続きの断面図(12)

【図13】その続きの断面図(13)

【図14】その続きの断面図(14)

【図15】その続きの断面図(15)

【図16】その続きの断面図(16)

【図17】その続きの断面図(17)

【図18】その続きの断面図(18)

【図19】その続きの断面図(19)

【図20】その続きの断面図(20)

【図21】その続きの断面図(21)であり、本発明のトランジスタの一例を示す図

【図22】図2の断面図に対応する平面図

【図23】図6の断面図に対応する平面図

【図24】図8の断面図に対応する平面図

【図25】図9の断面図に対応する平面図

【図26】図10の断面図に対応する平面図

【図27】図12の断面図に対応する平面図

【図28】図13の断面図に対応する平面図

【図29】図15の断面図に対応する平面図

【図30】図19の断面図に対応する平面図

【図31】図21の断面図に対応する平面図

【図32】(a)：本発明のトランジスタの電流の流れ方を説明するための図(b)：本発明のトランジスタの空乏層の広がり方を説明するための図

【図33】耐圧層の形状を説明するための図

【図34】導電領域とドレイン・ソース間の耐圧の関係を説明するためのグラフ

【図35】ドレイン・ソース間の耐圧と導通抵抗の関係を説明するための図

【図36】IGBT構造を持つ本発明のトランジスタの例

【図37】集積回路中に形成される本発明のトランジスタの例

【図38】従来技術のMOSFETの断面図

【図39】その平面図

【符号の説明】

1～3……トランジスタ

10……半導体基板

12……ドレイン層

13……耐圧層

25……ゲート酸化膜

26……ゲート電極膜

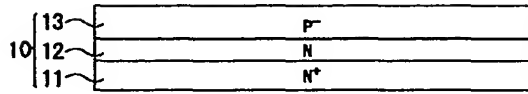
42……導電領域

44……ベース領域

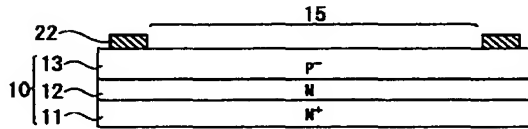
13
46……ソース領域

13

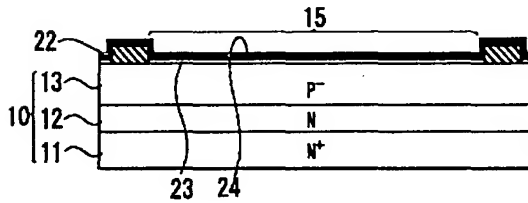
【図1】



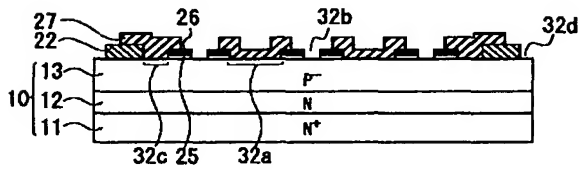
【図3】



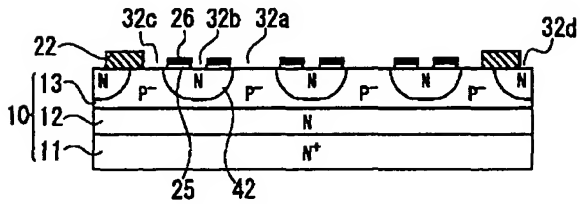
【図5】



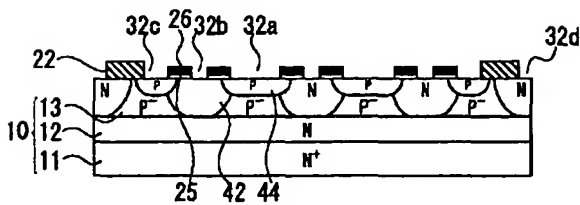
【図7】



【図9】



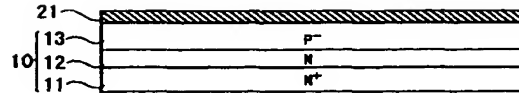
【図12】



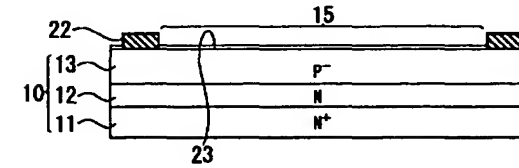
14
* * 47……チャネル領域

14

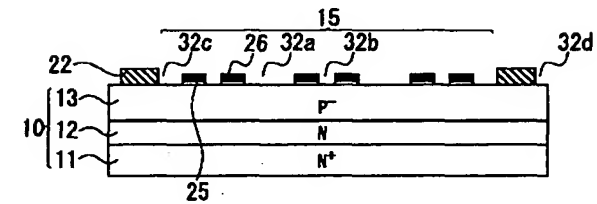
【図2】



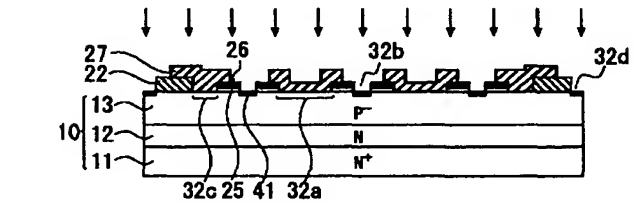
【図4】



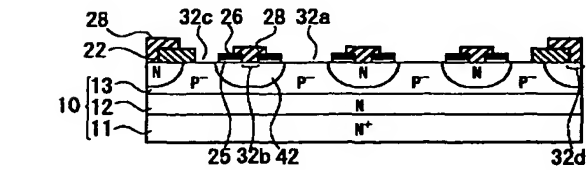
【図6】



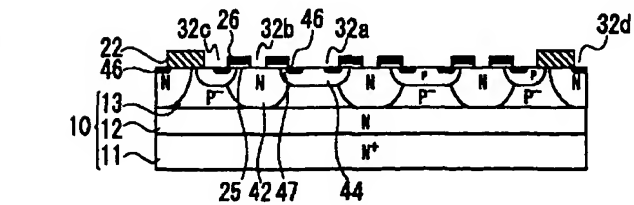
【図8】



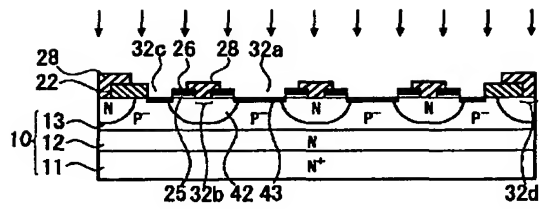
【図10】



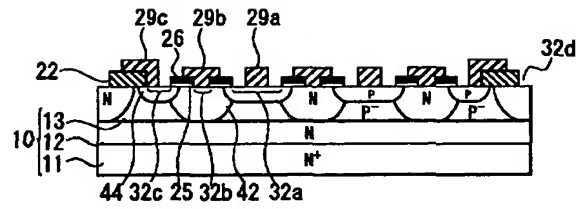
【図15】



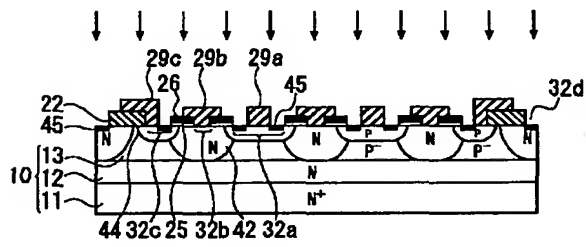
【図 11】



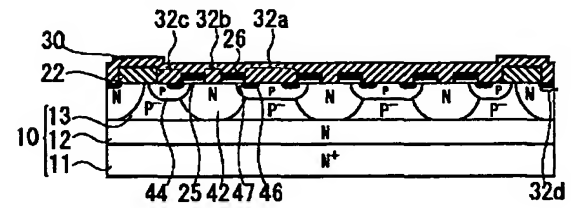
【図 13】



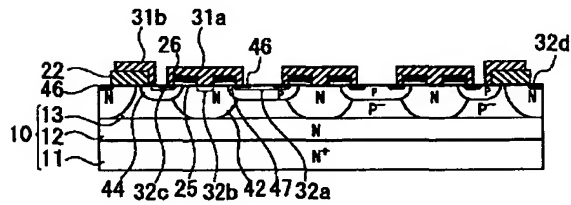
【図 14】



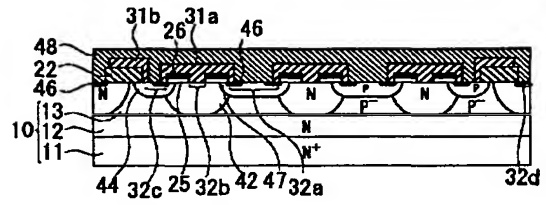
【図 16】



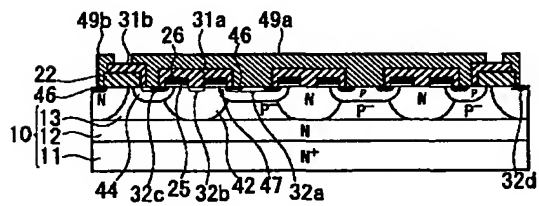
【図 17】



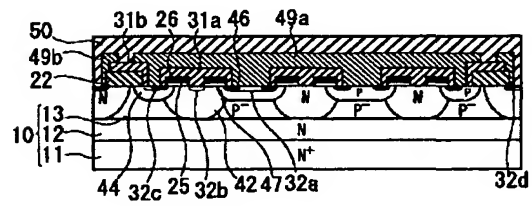
【図 18】



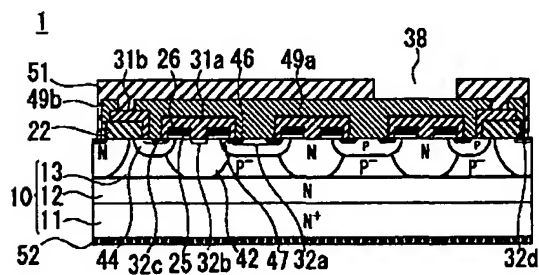
【図 19】



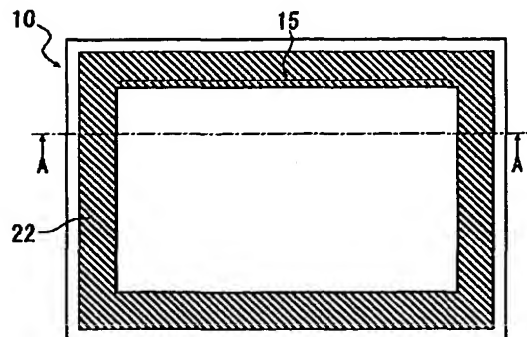
【図 20】



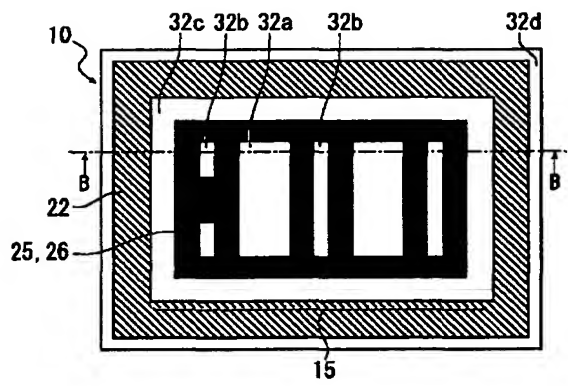
【図 21】



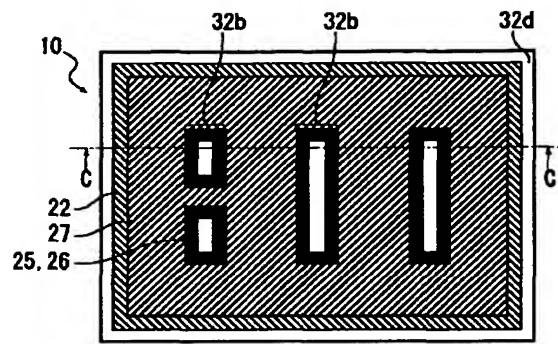
【図 22】



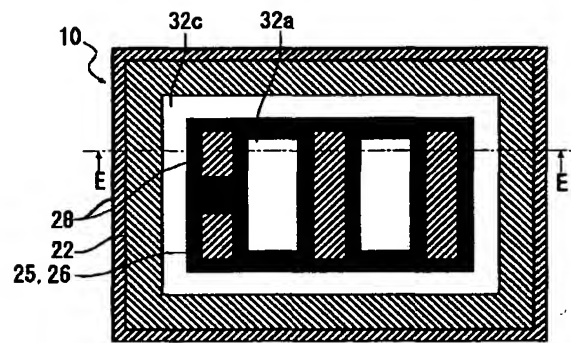
【図 2 3】



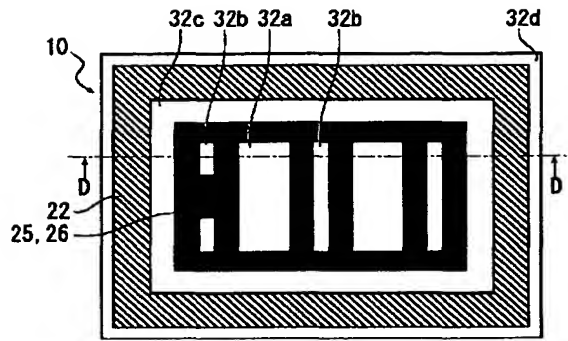
【図 2 4】



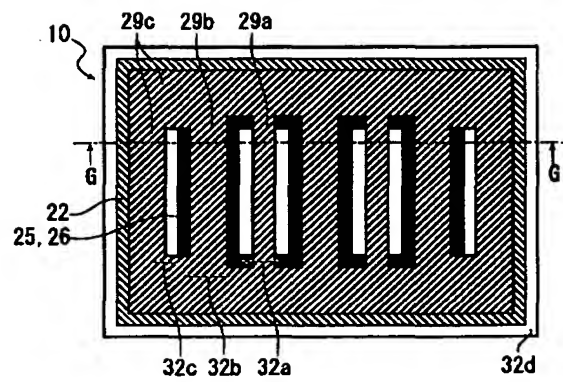
【図 2 6】



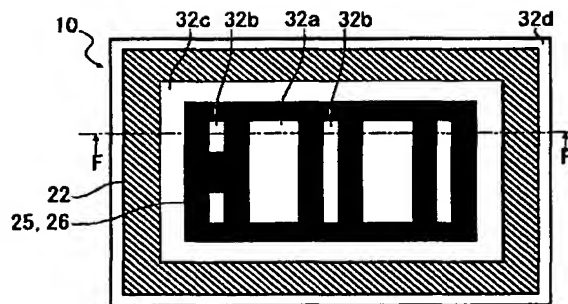
【図 2 5】



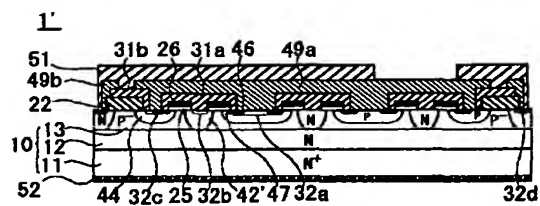
【図 2 8】



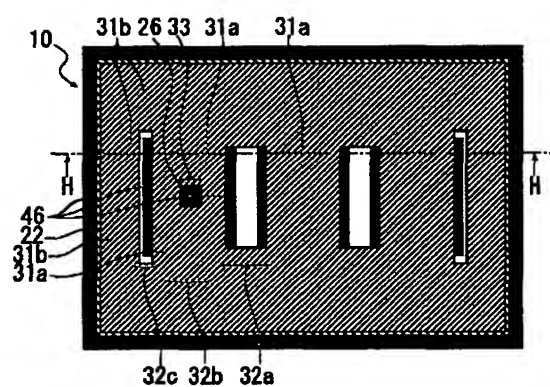
【図 2 7】



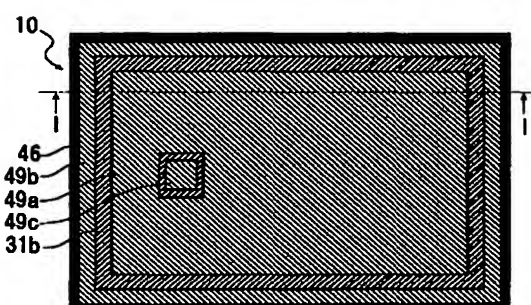
【図 3 3】



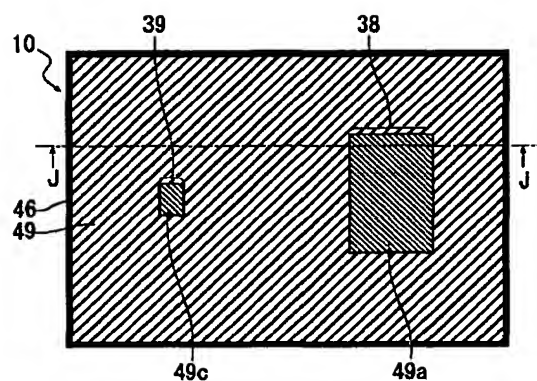
【图 29】



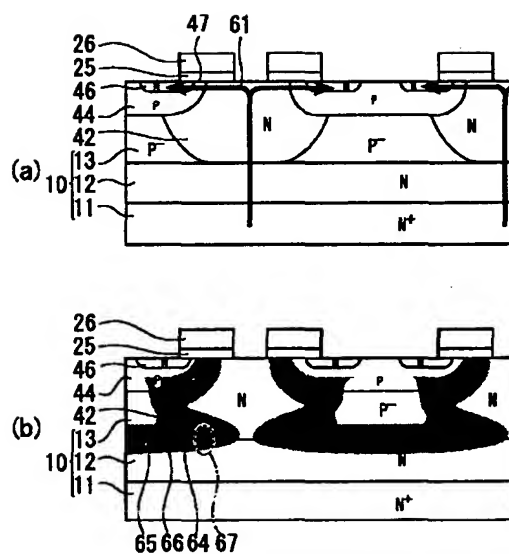
【図 30】



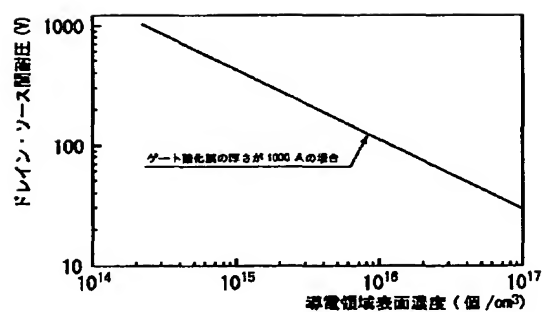
【図 3 1】



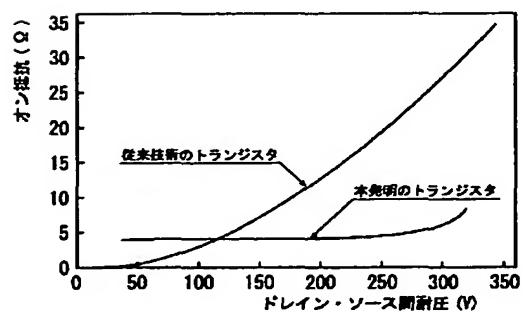
【図 3 2】



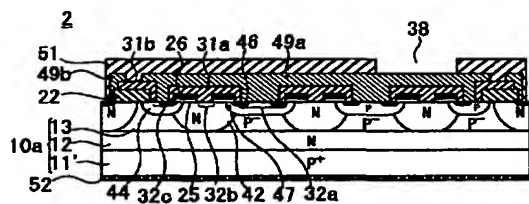
【図 3 4】



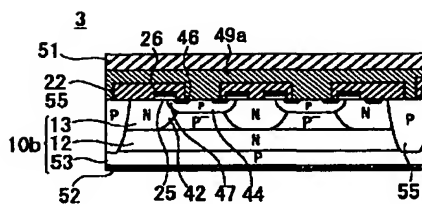
【图 3 5】



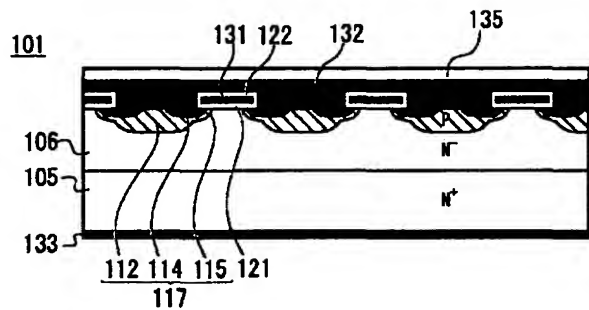
【図36】



【図37】



【図38】



【図39】

